

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshifumi MORI**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 27, 2003**

For: **SEMICONDUCTOR DEVICE WITH ELEVATED SOURCE/DRAIN STRUCTURE
AND ITS MANUFACTURE METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 27, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-251268, filed August 29, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

William L. Brooks

William L. Brooks
Attorney for Applicant
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **030957**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月29日

出願番号

Application Number:

特願2002-251268

[ST.10/C]:

[JP2002-251268]

出願人

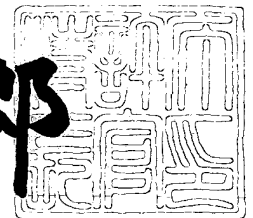
Applicant(s):

富士通株式会社

2003年 1月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3104704

【書類名】 特許願

【整理番号】 0240710

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/78

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 6

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 森 年史

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【選任した代理人】

 【識別番号】 100105887

 【弁理士】

 【氏名又は名称】 来山 幹雄

 【電話番号】 03-3832-8095

【手数料の表示】

 【予納台帳番号】 009852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置及びその製造方法
【特許請求の範囲】

【請求項 1】 半導体基板の表面の一部の領域上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記半導体基板の表面のうち、前記ゲート電極の両側に、該ゲート電極からある間隔を隔てて配置され、半導体材料で形成された第 1 の半導体膜と、

前記第 1 の半導体膜の各々の内部に形成された不純物拡散領域と、

前記半導体基板の表層部のうち、前記ゲート電極の両側に配置され、前記不純物拡散領域と同一導電型の不純物が添加され、対応する側の前記不純物拡散領域に接続されたエクステンション部と、

前記ゲート電極の側面上に絶縁材料で形成され、前記第 1 の半導体膜のゲート電極側の縁を越え、該第 1 の半導体膜の一部を覆うサイドウォールスペーサとを有する半導体装置。

【請求項 2】 さらに、前記第 1 の半導体膜のうち、前記サイドウォールスペーサで覆われていない領域上に形成された第 1 の金属シリサイド膜と、

前記ゲート電極上に形成された第 2 の金属シリサイド膜とを有する請求項 1 に記載の半導体装置。

【請求項 3】 (a) 半導体基板の一部の領域上に、ゲート絶縁膜、及びその上に配置されたゲート電極を形成する工程と、

(b) 前記ゲート電極の側面上に第 1 のサイドウォールスペーサを形成する工程と、

(c) 前記ゲート電極及び前記第 1 のサイドウォールスペーサに覆われていない前記半導体基板の表面上に、半導体材料からなる第 1 の半導体膜を成長させる工程と、

(d) 前記第 1 のサイドウォールスペーサを除去する工程と、

(e) 前記ゲート電極をマスクとして、前記半導体基板の表層部及び前記第 1 の半導体膜の表層部に、第 1 導電型の不純物を注入する工程と、

(f) 前記ゲート電極の側面上に、少なくとも前記第 1 の半導体膜のゲート電

極側の縁まで達する第 2 のサイドウォールスペーサを形成する工程と、

(g) 前記第 1 の半導体膜のうち前記第 2 のサイドウォールスペーサに覆われていない領域に、第 1 導電型の不純物を注入する工程と、

(h) 前記工程 (d) 及び工程 (g) で注入された不純物を活性化させるための熱処理を行う工程と
を有する半導体装置の製造方法。

【請求項 4】 さらに、前記工程 (h) の後、前記第 1 の半導体膜のうち前記第 2 のサイドウォールスペーサに覆われていない領域、及び前記ゲート電極の上面においてシリサイド反応を生じさせて、金属シリサイド膜を形成する工程を有する請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記工程 (f) において、前記第 1 の半導体膜のゲート電極側の縁を越えて該第 1 の半導体膜の一部を覆うように、前記第 2 のサイドウォールスペーサを形成する請求項 3 または 4 に記載の半導体装置の製造方法。

【請求項 6】 前記工程 (h) の熱処理後に、前記工程 (g) で注入された不純物が、少なくとも前記ゲート電極側の一部の領域において前記半導体基板まで拡散せず、前記第 1 の半導体膜内に留まる条件で、前記不純物を注入する請求項 3 ～ 5 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特にエレベータードソースドレイン構造を有する MOS 型半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路装置の高速化及び高集積化に伴い、ゲート長の短縮化及び寄生抵抗の低減が要求されている。ショートチャネル効果を抑制するために、ソース及びドレイン領域を浅くする必要がある。ソース及びドレイン領域を浅くしたことによるシート抵抗の増加を抑制するために、ソース及びドレイン領域の上に、高融点金属シリサイド層を形成する技術が採用される。

【 0 0 0 3 】

ところが、浅いソース及びドレイン領域上に高融点金属シリサイド層を形成すると、接合リーク電流が増大してしまう。高融点金属シリサイド層を形成しても、接合リーク電流の増加を誘発しないエレベータッドソースドレイン構造を有するMOS型半導体装置が提案されている。

【 0 0 0 4 】

ソース及びドレインの不純物を注入した後、ソース及びドレイン領域上に選択的に半導体膜をエピタキシャル成長させて、エレベータッド構造を形成する技術が知られている。この方法では、ソース及びドレイン領域に注入されている不純物の横方向の拡散を抑制するために、エピタキシャル成長温度を600℃以下にすることが好ましい。成長温度を高くできないため、半導体膜の成長速度が遅くなる。このため、この方法は量産に適さない。

【 0 0 0 5 】

また、エピタキシャル成長前に、ソース及びドレイン領域の表面に形成されている自然酸化膜を除去するために、水素雰囲気中で熱処理が行われる。自然酸化膜の除去効果を高めるためには、熱処理温度を700～900℃にすることが好ましい。ところが、ソース及びドレイン領域の不純物の横方向の拡散を抑制するために、熱処理温度を600℃以上にするのは好ましくない。熱処理温度を600℃以下にすると、自然酸化膜の十分な除去効果が期待できない。

【 0 0 0 6 】

エレベータッドソースドレイン構造を形成した後に、ソース及びドレインの不純物拡散領域を形成することにより、この不純物拡散領域の横方向の広がり防止することができる。ところが、エレベータッドソースドレイン構造形成前に、低濃度ドレイン（LDD）構造のエクステンション部が形成されている場合には、エクステンション部の不純物が横方向に拡散してしまう。このため、ショートチャネル効果抑制の十分な効果は期待できない。

【 0 0 0 7 】

特開2000-150886号公報の図12及びその関連箇所に、上記課題を解決することが可能なエレベータッドソースドレイン構造のMOSトランジスタ

の製造方法が開示されている。この方法によると、まず、ゲート電極の側面を覆うサイドウォールスペーサ及びゲート電極上の絶縁膜をマスクとして、ソース及びドレイン領域上に選択エピタキシャル成長を行う。その後、ソース及びドレインを形成するための不純物拡散を行い、エピタキシャル成長層上にチタンシリサイド層を形成する。

【 0 0 0 8 】

サイドウォールスペーサを除去した後、LDD構造のエクステンション部を形成するための不純物注入を行う。950℃で30分間の熱処理を行うことにより、エクステンション部に注入された不純物を拡散させて、エクステンション部をソース及びドレイン領域に連続させる。

【 0 0 0 9 】

【発明が解決しようとする課題】

特開2000-150886号公報に開示された方法では、エクステンション部をソース及びドレイン領域に連続させるための熱処理時に、エクステンション部の不純物がチャネル側にも拡散する。このため、ショートチャネル効果が大きくなってしまふ。また、チタンシリサイド層の形成後に、エクステンション部の不純物拡散のための熱処理を行うため、チタンシリサイドの凝集が起こりやすい。チタンシリサイドの凝集が起こると、ソース及びドレイン領域のシート抵抗が大きくなってしまふ。また、この方法では、ゲート電極上にチタンシリサイド層が形成されない。このため、ゲート配線の低抵抗化が期待できない。

【 0 0 1 0 】

本発明の目的は、ショートチャネル効果を低減させることが可能なエレベーターソースドレイン構造を有する半導体装置及びその製造方法を提供することである。

【 0 0 1 1 】

【課題を解決するための手段】

本発明の一観点によると、半導体基板の表面の一部の領域上に、ゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の表面のうち、前記ゲート電極の両側に、該ゲート電極からある間隔を隔てて配置され、半導体材料で形成さ

れた第1の半導体膜と、前記第1の半導体膜の各々の内部に形成された不純物拡散領域と、前記半導体基板の表層部のうち、前記ゲート電極の両側に配置され、前記不純物拡散領域と同一導電型の不純物が添加され、対応する側の前記不純物拡散領域に接続されたエクステンション部と、前記ゲート電極の側面上に絶縁材料で形成され、前記第1の半導体膜のゲート電極側の縁を越え、該第1の半導体膜の一部を覆うサイドウォールスペーサとを有する半導体装置が提供される。

【 0 0 1 2 】

第1の半導体膜の一部を覆うサイドウォールスペーサをマスクとしてソース及びドレインの不純物拡散領域を形成するための不純物注入を行うと、不純物の横方向拡散によるショートチャネル効果の増大を抑制することができる。

【 0 0 1 3 】

本発明の他の観点によると、(a) 半導体基板の一部の領域上に、ゲート絶縁膜、及びその上に配置されたゲート電極を形成する工程と、(b) 前記ゲート電極の側面上に第1のサイドウォールスペーサを形成する工程と、(c) 前記ゲート電極及び前記第1のサイドウォールスペーサに覆われていない前記半導体基板の表面上に、半導体材料からなる第1の半導体膜を成長させる工程と、(d) 前記第1のサイドウォールスペーサを除去する工程と、(e) 前記ゲート電極をマスクとして、前記半導体基板の表層部及び前記第1の半導体膜の表層部に、第1導電型の不純物を注入する工程と、(f) 前記ゲート電極の側面上に、少なくとも前記第1の半導体膜のゲート電極側の縁まで達する第2のサイドウォールスペーサを形成する工程と、(g) 前記第1の半導体膜のうち前記第2のサイドウォールスペーサに覆われていない領域に、第1導電型の不純物を注入する工程と、(h) 前記工程(d) 及び工程(g) で注入された不純物を活性化させるための熱処理を行う工程とを有する半導体装置の製造方法が提供される。

【 0 0 1 4 】

第1の半導体膜を成長させた後、ソース及びドレイン領域形成のための不純物注入が行われる。注入された不純物が、第1の半導体膜の成長時の熱履歴を経験しないため、不純物の横方向拡散を抑制することができる。

【 0 0 1 5 】

【発明の実施の形態】

図 1 及び図 2 を参照して、本発明の実施例による半導体装置の製造方法について説明する。

【0016】

図 1 (A) に示すように、シリコンからなる半導体基板 1 の表層部に、シリコン局所酸化 (LOCOS) またはシャロートレンチアイソレーション (STI) により素子分離絶縁膜 2 を形成する。素子分離絶縁膜 2 により活性領域が画定される。半導体基板 1 の表面を熱酸化することにより、活性領域の表面上に、ゲート絶縁膜となる例えば厚さ約 2 nm の酸化シリコン膜を形成する。

【0017】

半導体基板 1 の上に、化学気相成長 (CVD) により厚さ 70 ~ 120 nm の多結晶シリコン膜を形成する。なお、多結晶シリコン膜の代わりにアモルファスシリコン膜を形成してもよい。さらに、多結晶シリコン膜の上に、CVD により厚さ 20 ~ 40 nm の窒化シリコン膜を形成する。ゲート電極となる領域をレジスト膜で覆って窒化シリコン膜からゲート絶縁膜までの 3 層をドライエッチングすることにより、窒化シリコンからなるマスク膜 5、多結晶シリコンからなるゲート電極 4、及び酸化シリコンからなるゲート絶縁膜 3 を残す。

【0018】

図 1 (B) に示すように、基板全面上に減圧 CVD により厚さ 20 ~ 40 nm の窒化シリコン膜を堆積させ、異方性のドライエッチングを行うことにより、ゲート電極 4 の側面上にサイドウォールスペーサ 8 を残す。なお、窒化シリコン膜の堆積前に、原料としてテトラエチルオルソシリケート (TEOS) を用いた減圧 CVD により、厚さ 5 nm 程度の酸化シリコン膜を形成しておいてもよい。

【0019】

熱酸化により形成された酸化シリコン膜を 5 nm 程度エッチングする条件で、希フッ酸を用いて半導体基板 1 の表面処理を行う。さらに、水素ガス雰囲気中で、圧力約 1×10^4 Pa (約 80 Torr)、温度 750℃、水素ガス流量 20 s l m の条件で、120 秒間の熱処理を行う。これにより、基板上に形成されている自然酸化膜が除去される。

【0020】

素子分離絶縁膜2、サイドウォールスペーサ8、及びマスク膜5をマスクとして、半導体基板1の表面上に選択的にシリコンをエピタキシャル成長させ、厚さ20～70nmのエピタキシャル層10を形成する。エピタキシャル層10の成長は、水素ガス流量20slm、ジクロルシラン(SiH_2Cl_2)流量100sccm、塩化水素(HCl)流量30sccm、圧力 $5.3 \times 10^3 \text{ Pa}$ (40 Torr)、温度800℃の条件でCVDにより行うことができる。この条件で300秒間の成長を行うと、約60nmのエピタキシャル層が形成される。

【0021】

なお、成長時の圧力をより低くしたウルトラハイバキュームCVD(UHV-CVD)によりエピタキシャル層を形成してもよい。また、原料ガスとして、シラン(SiH_4)、ジシラン(Si_2H_6)及び塩素(Cl_2)を用いることもできる。

【0022】

図1(C)に示すように、図1(B)に示したマスク膜5とサイドウォールスペーサ8とを、熱リン酸により除去する。これにより、ゲート電極4の両側に半導体基板1の表面が露出する。サイドウォールスペーサ8を形成するための窒化シリコン膜の堆積前に、厚さ5nm程度の酸化シリコン膜を形成しておく、熱リン酸によるエッチング時に、この酸化シリコン膜が半導体基板1の表面保護膜として働く。この酸化シリコン膜は、フッ酸で除去する。

【0023】

NチャネルMOSトランジスタを形成する場合には、加速エネルギー4keV、ドーズ量 $1.2 \times 10^{15} \text{ cm}^{-2}$ の条件で砒素(As)イオンを注入する。なお、PチャネルMOSトランジスタを形成する場合には、加速エネルギー3keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件でボロン(B)イオンを注入する。このイオン注入により、ゲート電極4の両側の基板表層部に、ソース及びドレイン領域のエクステンション部15が形成される。なお、不純物は、エピタキシャル層10の表層部にも注入される。

【0024】

図 2 (D) に示すように、ゲート電極 4 の側面上に、再度、サイドウォールスペーサ 1 8 を形成する。サイドウォールスペーサ 1 8 は、ゲート電極 4 の両側の半導体基板表面を覆うとともに、エピタキシャル層 1 0 のゲート電極側の縁を越え、エピタキシャル層 1 0 の一部を覆っている。例えば、図 1 (B) に示したサイドウォールスペーサ 8 の厚さが 3 0 n m であるとき、2 回目に形成するサイドウォールスペーサ 1 8 の厚さを 5 0 n m とする。サイドウォールスペーサ 1 8 は、酸化シリコンで形成してもよいし、窒化シリコンで形成してもよい。また、酸化シリコン膜と窒化シリコン膜との 2 層構造としてもよい。

【 0 0 2 5 】

N チャネル MOS トランジスタを形成する場合には、サイドウォールスペーサ 1 8 をマスクとして、エピタキシャル層 1 0 に、加速エネルギー 6 k e V、ドーズ量 $8 \times 10^{15} \text{ cm}^{-2}$ の条件でリン (P) イオンを注入する。このとき、ゲート電極にもリンがドーピングされる。なお、P チャネル MOS トランジスタを形成する場合には、加速エネルギー 4 k e V、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件で、ボロンイオンを注入する。これにより、ソース及びドレイン領域 1 9 が、エピタキシャル層 1 0 内、及び半導体基板 1 の表層部に形成される。イオン注入後、活性化熱処理を 9 5 0 ~ 1 0 5 0 °C のラピッドサーマルアニール (R T A) により行う。アニール時間は 0 ~ 1 0 秒程度である。

【 0 0 2 6 】

図 2 (E) に示した状態に至るまでの工程を説明する。基板の全面上にチタニウム膜を形成し、熱処理を行う。これにより、ゲート電極 4 の上面、及びエピタキシャル層 1 0 の表面に、チタンシリサイドからなる金属シリサイド膜 2 0 が形成される。熱処理後、未反応のチタニウム膜を除去する。なお、金属シリサイド膜 2 0 を、コバルトシリサイドやニッケルシリサイドで形成してもよい。

【 0 0 2 7 】

上記実施例では、エピタキシャル層 1 0 を形成した後に、エクステンション部 1 5、ソース及びドレイン領域 1 9 を形成するためのイオン注入が行われる。注入された不純物がエピタキシャル成長時の熱履歴を経験しないため、不純物の横方向拡散を抑制することができる。また、エピタキシャル成長を 7 0 0 °C 以上の

高温で行うことができる。これにより、成長速度を速くすることができる。また、エピタキシャル成長前の自然酸化膜除去のための水素雰囲気での熱処理を、700℃以上の高温で行うことができる。これにより、再現性よく自然酸化膜を除去することができる。

【0028】

また、上記実施例では、イオン注入した不純物の活性化熱処理後に、金属シリサイド膜20を形成する。金属シリサイド膜20が、活性化熱処理の高温雰囲気にさらされないため、金属シリサイドの凝集を防止することができる。

【0029】

また、上記実施例では、ソース及びドレイン領域19を形成するイオン注入を行う時のマスクとして使用されるサイドウォールスペーサ18が、エピタキシャル層10のゲート電極側の一部に架かっている。このため、ソース及びドレイン領域の不純物が横方向に拡散したとしても、チャネル領域の極近傍までは達しにくい。従って、パンチスルーを発生させることなく、ソース及びドレイン領域19の不純物濃度を高めることができる。不純物濃度を高くすることにより、金属シリサイド膜20を形成することによる接合リーク電流の増大を防止することができる。

【0030】

図3に、上記実施例の変形例による半導体装置の断面図を示す。上記実施例では、図2(E)に示したように、ソース及びドレイン領域19が半導体基板1の表層部まで到達していた。図3に示した変形例では、エピタキシャル層10のゲート電極側の一部分において、ソース及びドレイン領域19が、エピタキシャル層10内に留まり、半導体基板1の表層部まで侵入していない。その他の構成は、図2(E)に示した実施例の半導体装置の構成と同様である。

【0031】

図3に示した変形例の場合には、ソース及びドレイン領域19内の不純物が横方向に拡散したとしても、その大部分は、エピタキシャル層10のうちサイドウォールスペーサ18で覆われている部分に侵入し、半導体基板1の表層部には侵入しない。このため、パンチスルーの防止効果をより高めることができる。

【 0 0 3 2 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 3 3 】

【発明の効果】

以上説明したように、本発明によれば、エレベーターソースドレイン構造を形成するための選択エピタキシャル成長を行った後に、ソース及びドレインのエクステンション部、ソース及びドレイン領域を形成する。このため、エクステンション部、ソース及びドレイン領域内の不純物の横方向拡散を抑制することができる。また、高温でエピタキシャル成長を行うことができるため、成長速度を速めることができる。また、ソース及びドレイン領域を形成した後に、金属シリサイド膜が形成される。金属シリサイド膜が、不純物の活性化熱処理を経験しないため、金属シリサイドの凝集を防止することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 1）である。

【図 2】 第 1 の実施例による半導体装置の製造方法を説明するための基板の断面図（その 2）である。

【図 3】 第 1 の実施例の変形例による半導体装置の断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 マスク膜
- 8、18 サイドウォールスペーサ
- 10 エピタキシャル層
- 15 エクステンション部

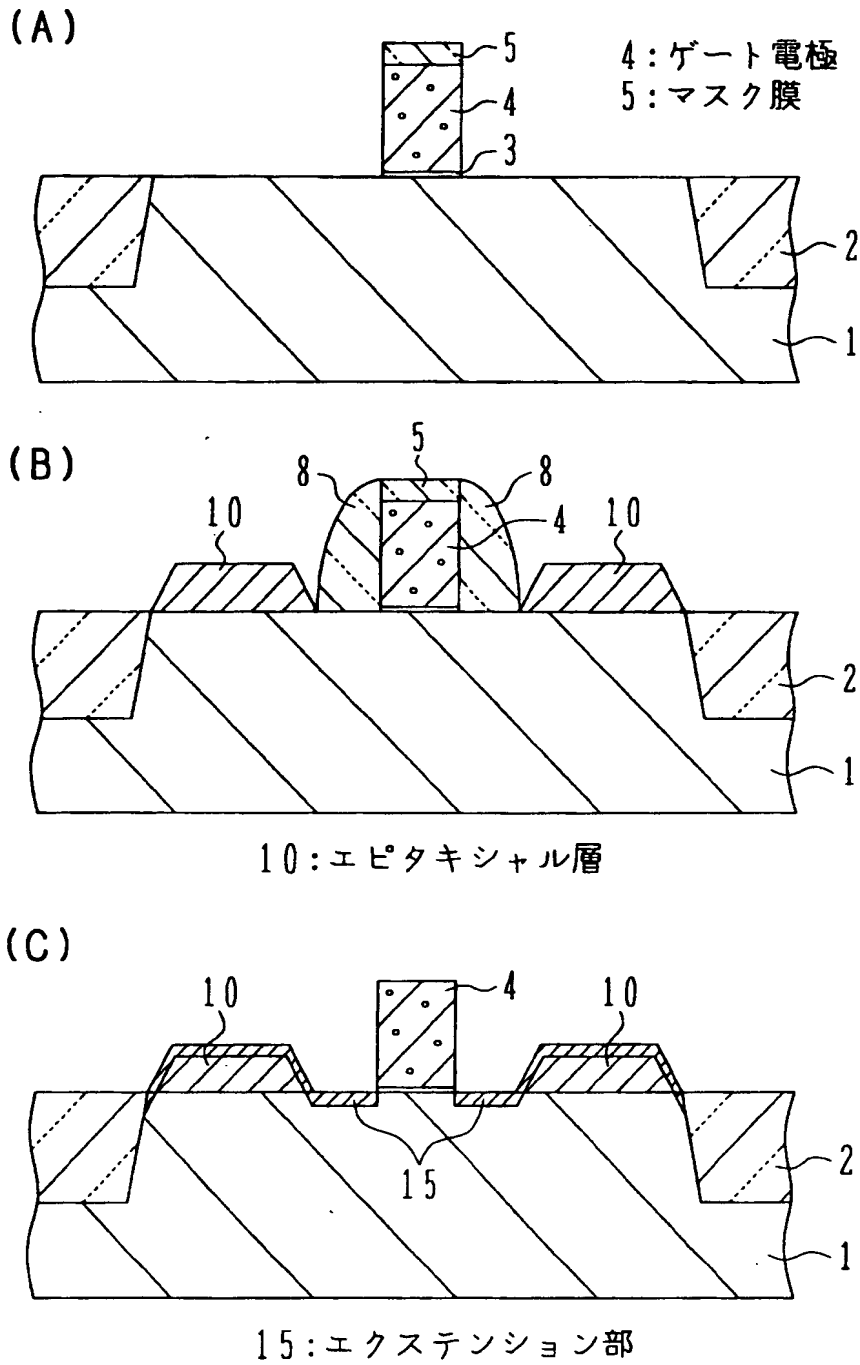
1 9 ソース及びドレイン領域

2 0 金属シリサイド膜

【書類名】 図面

【図 1】

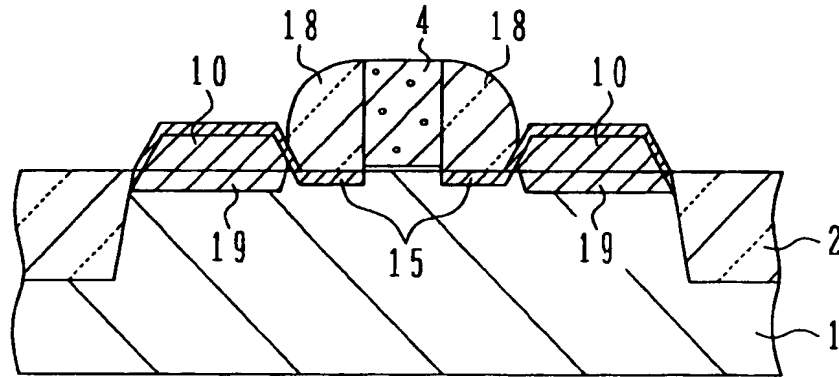
第 1 の実施例（その 1）



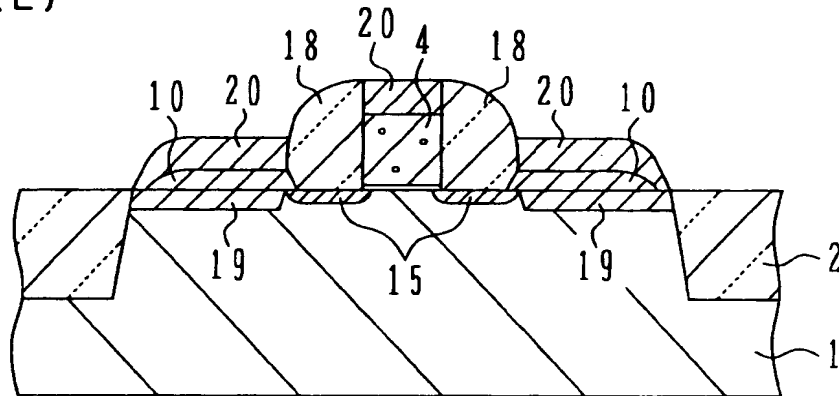
【図 2】

第 1 の実施例（その 2）

(D)

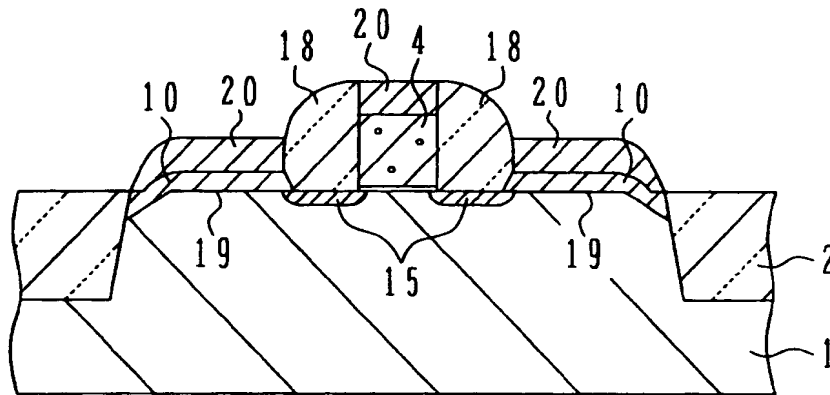


(E)



【図 3】

第 1 の実施例の変形例



【書類名】 要約書

【要約】

【課題】 ショートチャネル効果を低減させることが可能なエレベーターソースドレイン構造を有する半導体装置を提供する。

【解決手段】 半導体基板の表面の一部の領域上に、ゲート絶縁膜を介してゲート電極が形成されている。半導体基板の表面のうち、ゲート電極の両側に、該ゲート電極からある間隔を隔てて、半導体材料で形成された第1の半導体膜が配置されている。第1の半導体膜の各々の内部に不純物拡散領域が形成されている。半導体基板の表層部のうちゲート電極の両側に、エクステンション部が形成されている。エクステンション部は、不純物拡散領域と同一導電型であり、対応する側の不純物拡散領域に接続されている。ゲート電極の側面上に絶縁材料で形成され、第1の半導体膜のゲート電極側の縁を越え、該第1の半導体膜の一部を覆うサイドウォールスペーサが配置されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社